

LÓGICA PROGRAMABLE

Sergio Noriega - 2016

Exigencias del mercado actual:

Equipos de complejidad creciente

Especificaciones variables.

Tiempos de desarrollos cada vez menores.

Costos cada vez mas bajos.

Requimientos del diseñador:

**Dispositivos y herramientas de desarrollo que sean:
reconfigurables, actualizables y que permitan tests
rápidos y confiables.**

Formas de implementación lógica según el grado de ingerencia del usuario en la fabricación:

Lógica fija MSI (Compuertas, MUXs, contadores, RDs, sumadores, etc. Ej: series CD4XXX, 74LS/HCT/XX, etc.) **N#1**

Lógica fija VLSI (Circuitos integrados dedicados Ej: microprocesadores, memorias, etc.) **N#1**

Lógica programable por hardware (MPGA, ASIC, CPLD, FPGA)

N#1: Conocidos como ASSP (Application-Specific Standard Product)

Lógica Programable

- MPGA** → **Mask Programmable Gate Array:**
Rentable para altos volúmenes de partes.
Diseño final programable sólo por el fabricante.
- ASIC** → **Application-Specific Integrated Circuit:**
Rentable para medianos volúmenes de partes.
Diseño específico programable por el usuario.
- FPLD** → **Field Programmable Logic Device:**
Rentable para volúmenes pequeños de partes.
Totalmente configurable por el usuario.



CPLD (Complex Programmable Logic Device)
FPGA (Field Programmable Gate Arrays)

ASIC (Application-Specific Integrated Circuit)

Chip diseñado para realizar una aplicación específica determinada, por ejemplo un procesador de video en mpg2 ó de audio con Dolby AC3.

Full custom:

Diseño de bajo nivel (transistores) totalmente accesible al usuario.

Conviene cuando no existen librerías de componentes sobre el diseño a realizar.

Existe un total control del diseño y optimización del área del chip.

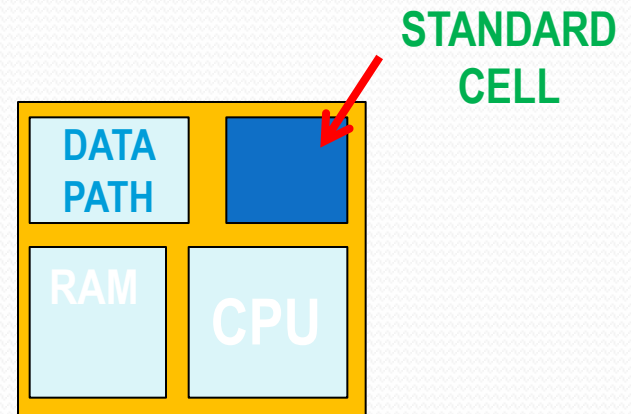
Los tiempos y costos de desarrollos son grandes en comparación con la opción de standard-cells.

Standard-Cells:

Se provee de librerías con celdas ya prediseñadas (FF tipo D, NOR gate, etc.) sobre un hardware predefinido.

El diseño es mucho mas rápido que el anterior.


Ejemplo: un microprocesador..



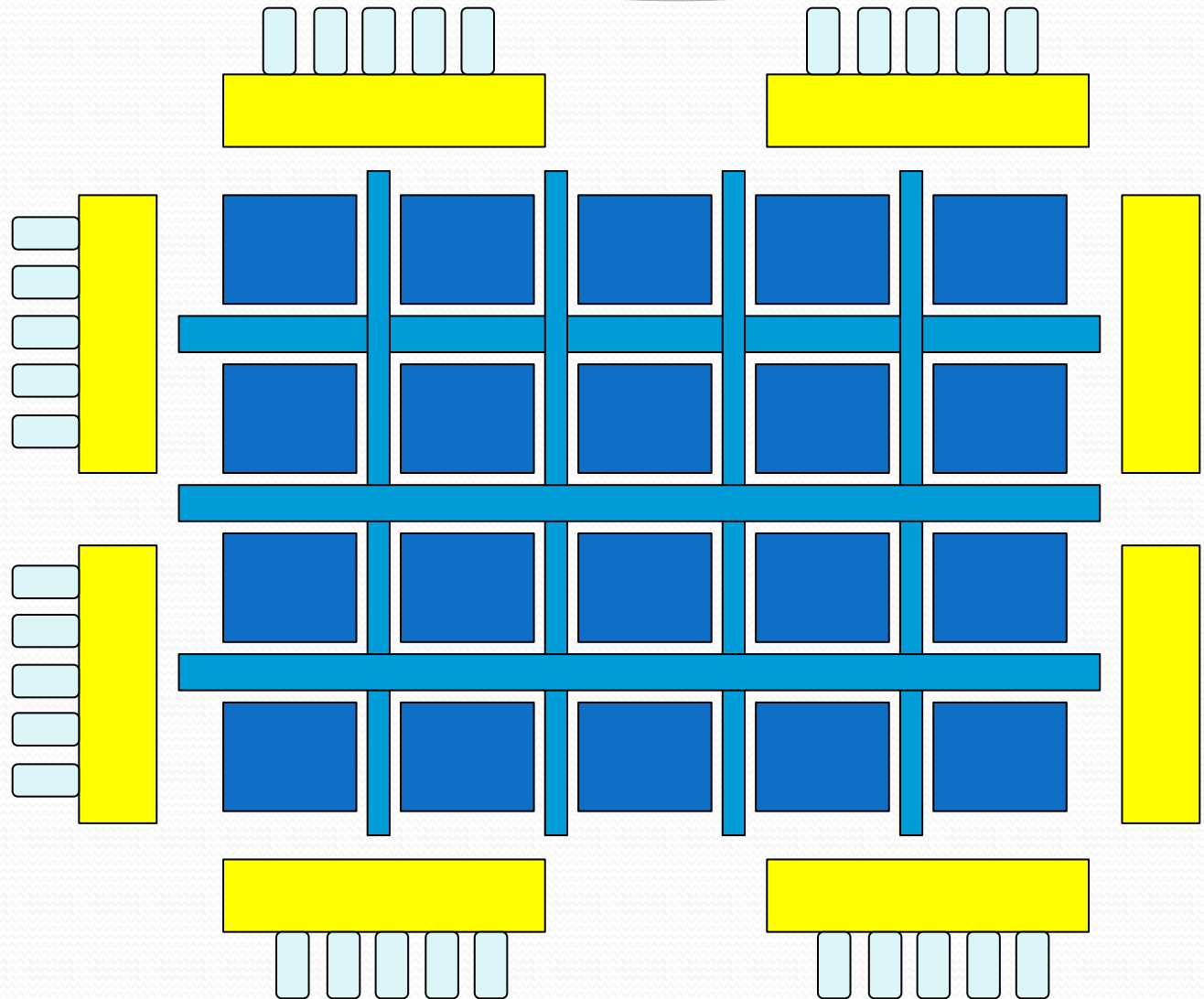
FPLD

 Bloque de lógica combinatoria y FFs asociados.

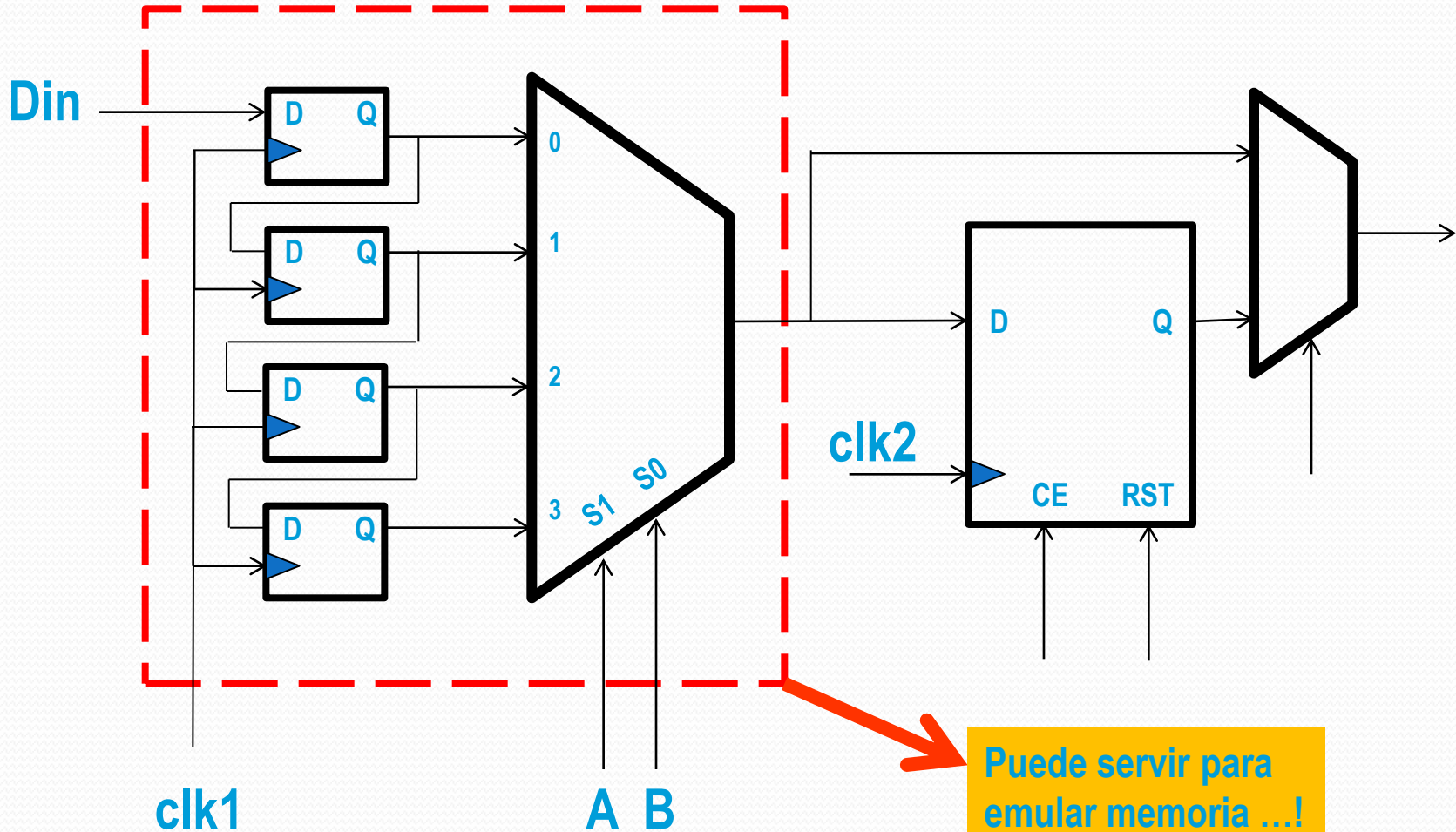
 Bloque de entrada-salida del dispositivo.

 Recursos de interconexión interna.

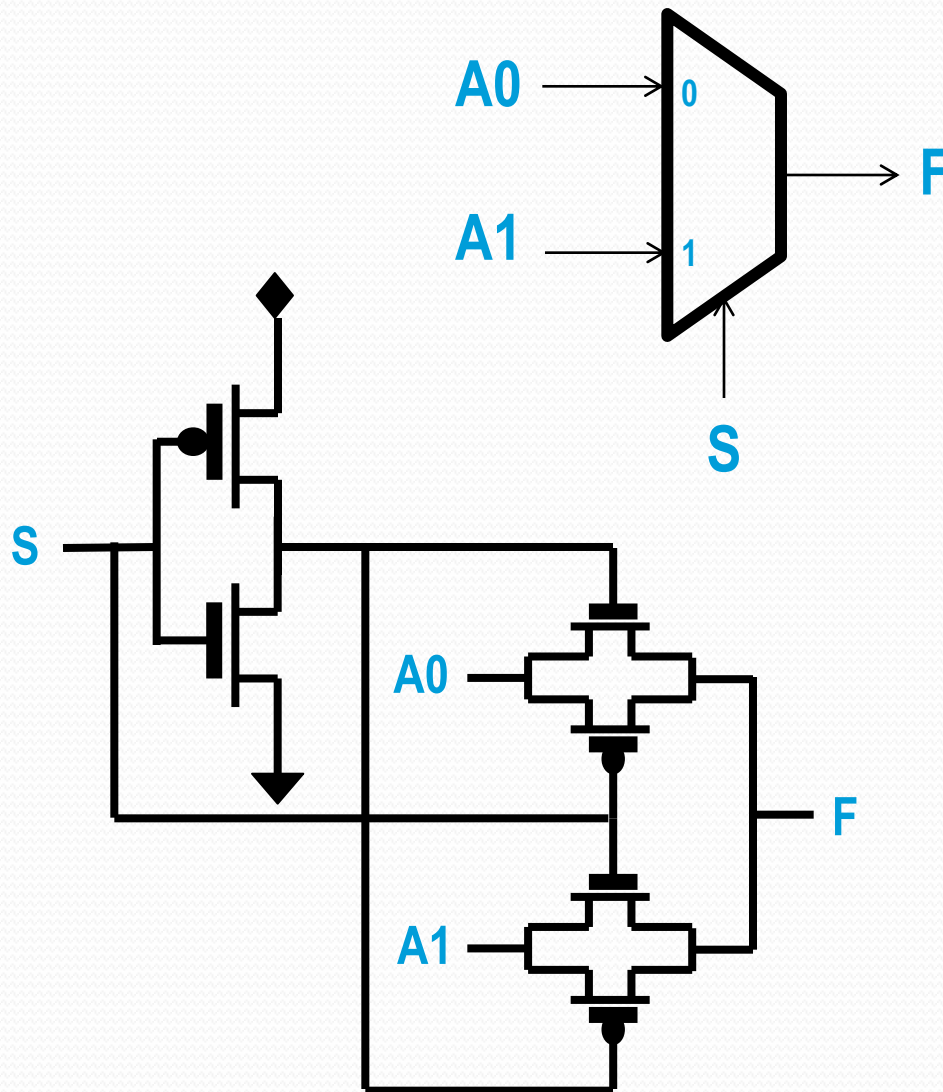
 Pin de E/S



Bloque Lógico elemental basado en Tabla de Look-Up con selección de salida normal o registrada



Implementación de funciones con MUXs

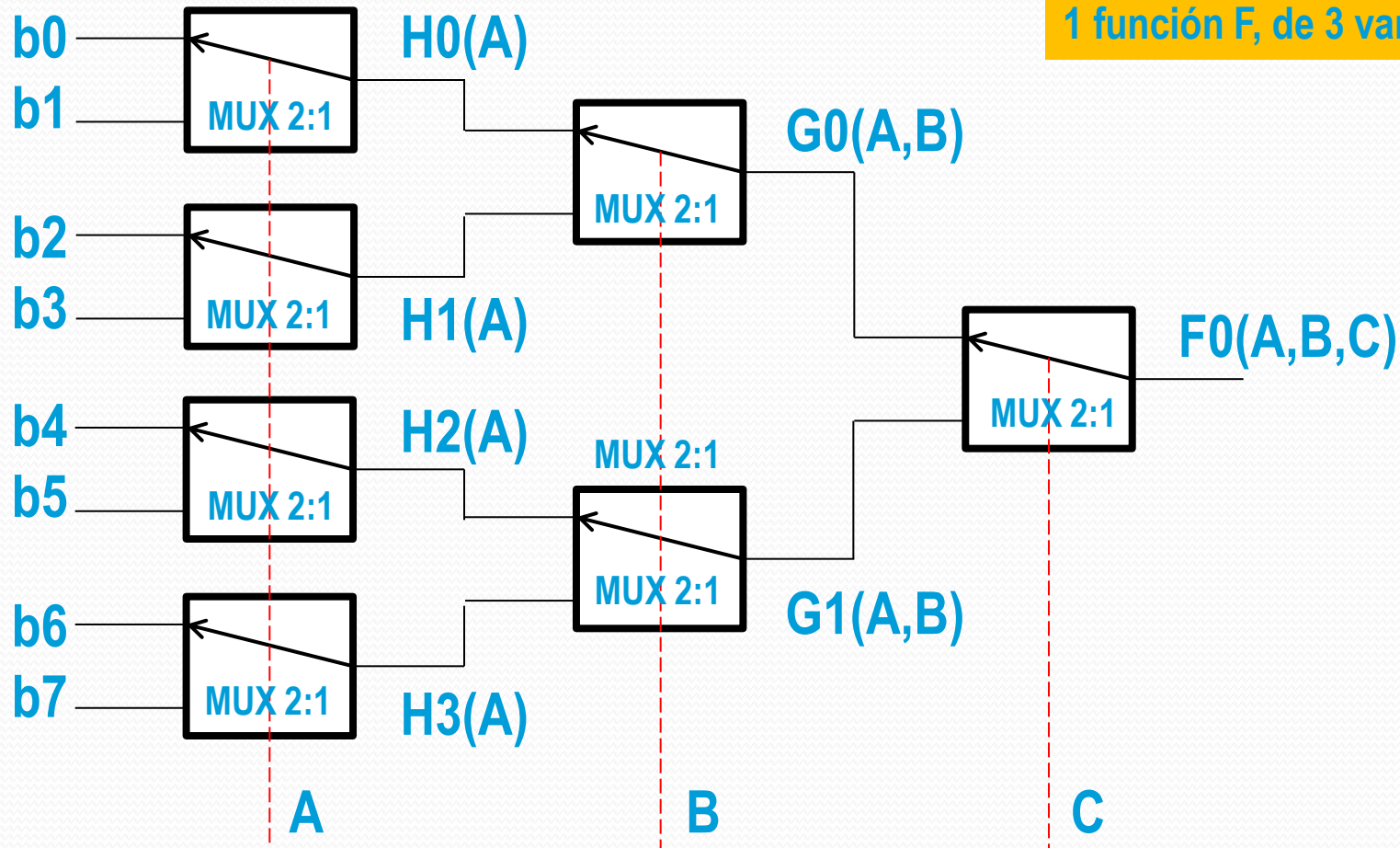


A0	A1	S	F
0	0	0	0
B	0	A	$\neg A \cdot B$
0	1	A	$\neg A$
A	0	B	$A \cdot \neg B$
0	1	B	$\neg B$
0	B	1	B
0	B	A	$A \cdot B$
0	A	1	A
B	1	A	$A + B$
1	1	1	1

Con un MUX 2:1 se pueden generar 8 funciones diferentes y 2 obvias (0 y 1). Aquí el MUX está formado con una pass-gate y un inversor en CMOS.

Implementación de funciones con MUXs

Se puede implementar:
4 funciones H, de 1 variable.
2 funciones G, de 2 variables.
1 función F, de 3 variables.



Concepto de granularidad:

Granularidad en Celdas:

Define la cantidad de variables para generar funciones lógicas. Celda compleja implica mayor poder de resolución pero mayor riesgo de subempleo y menor recursos de interconexión.

Granularidad de conectividad:

Define la complejidad de la interconexión entre celdas y bloques de entrada-salida.

Mayor interconectividad implica mejor optimización de recursos pero aumento de complejidad en la gestión de optimizar la performance del sistema (por ej. ecualización de tiempos de retardo)

Ventajas del empleo de Lógica Programable:

Mayor confiabilidad (diseño circunscripto dentro del chip).

Menor espacio empleado en circuito impreso.

Reprogramable con posibilidad de reconfiguración "in circuit".

Mejor adaptación a cambios de diseño.

Control de diseño antes de su programación.

Disminuye tiempos de diseño, cantidad de proveedores y de componentes.

Tecnologías para configuración de dispositivos lógicos programables

Flash-ROM : Mantiene la información siempre.

Menor densidad de integración.

No requiere de dispositivos adicionales para configuración inicial del dispositivo.

Static-RAM: Pierde la información en ausencia de alimentación.

Mayor densidad de integración.

Disponibilidad de RAM para el usuario.

Requiere de dispositivo adicional para booteo.

Anti-Fuse: Programable sólo una vez. Mayor confiabilidad y velocidad. Opción mas cara.

Clasificación según acceso:

Aleatorio

Volátiles

SRAM: Static Random Access Memory ✓
DRAM: Dynamic Random Access Memory

No volátiles

ROM: Read Only Memory (No programable)
PROM: ROM programable sólo una vez
EPROM: PROM reprogramable con luz UV
EEPROM: PROM reprogramable electricamente programable de a Byte.
FLASH: Tecnológicamente igual a la EEPROM programable de a KiloByte. ✓
NVRAM: RAM No Volátil (usa batería)

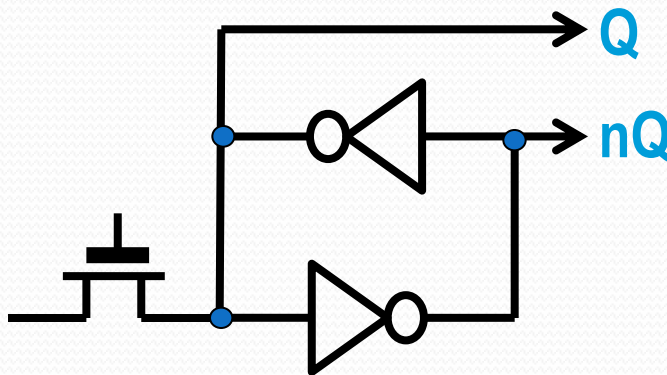
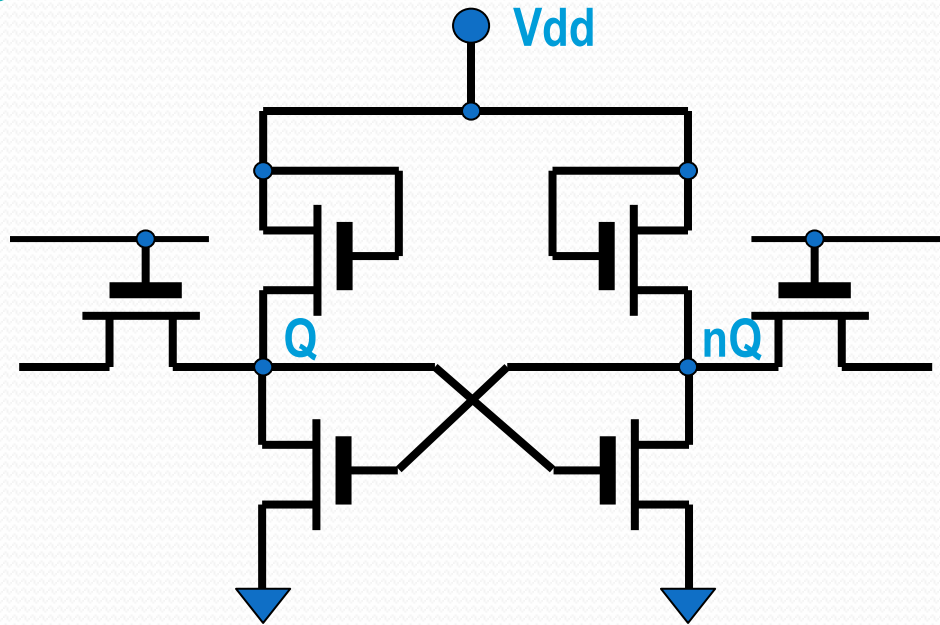


Uso en FPLD

Secuencial

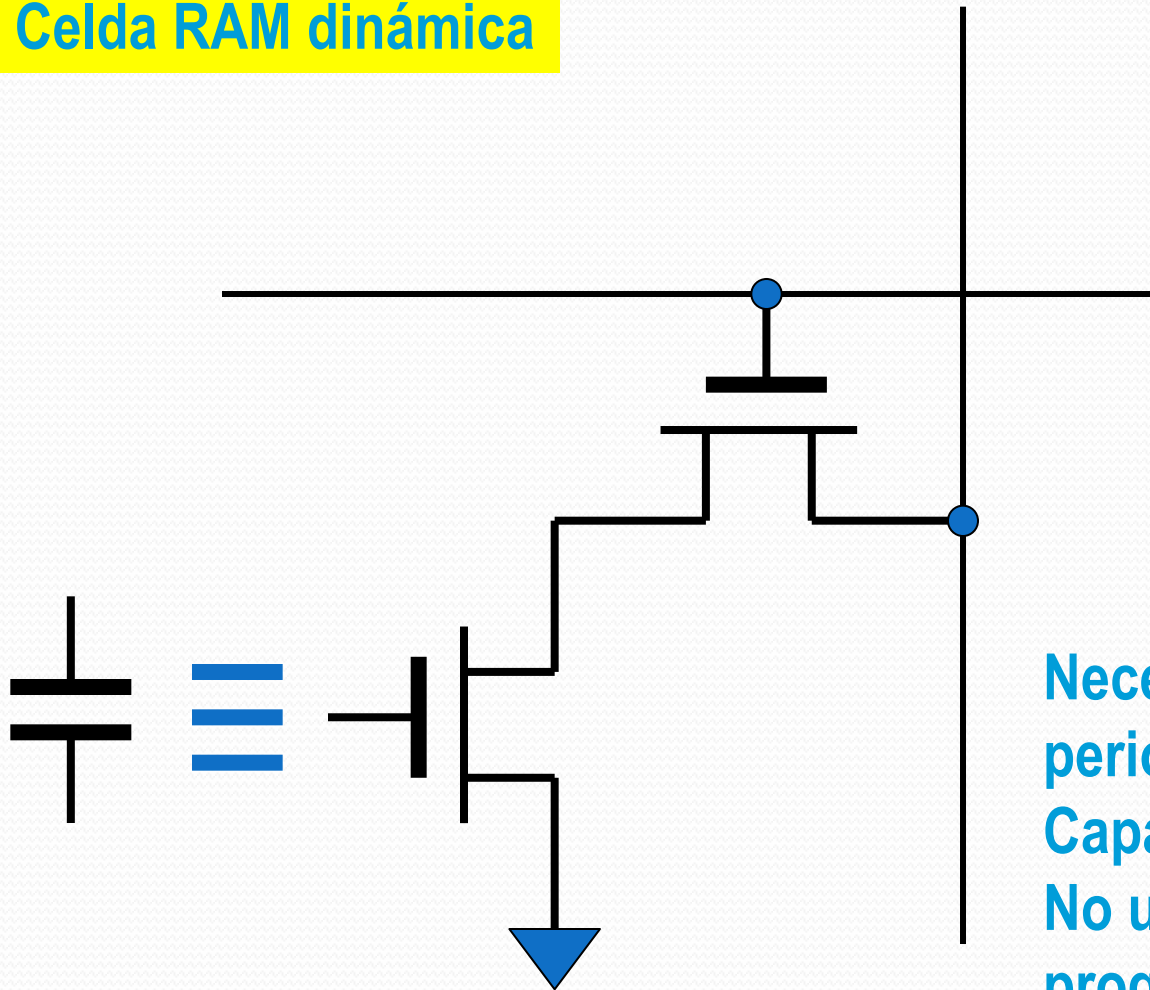
Registro de desplazamiento
Circuito de acoplamiento de carga (CCD)
FIFO (First In First Out)
LIFO (Last In First Out)

Contenido CAM (Content Addressable Memory)



Permite luego de su programación, mantener su salida estable en un dado nivel lógico mientras siga habiendo tensión de alimentación. No se requiere refresco alguno de cargas como en DRAM pero la densidad de integración es mucho menor que en la anterior. No sólo sirve como memoria para configuración, sino que además puede ser usada como memoria de datos para el propio diseño del usuario.

Celda RAM dinámica



**Necesidad de refresco
periódico de la carga del
Capacitor.
No utilizado en dispositivos
programables.**

Transistor NMOS
con gate flotante

EPROM

Vg +

Compuerta Normal

Compuerta Flotante

Canal N

SiO₂

N

N

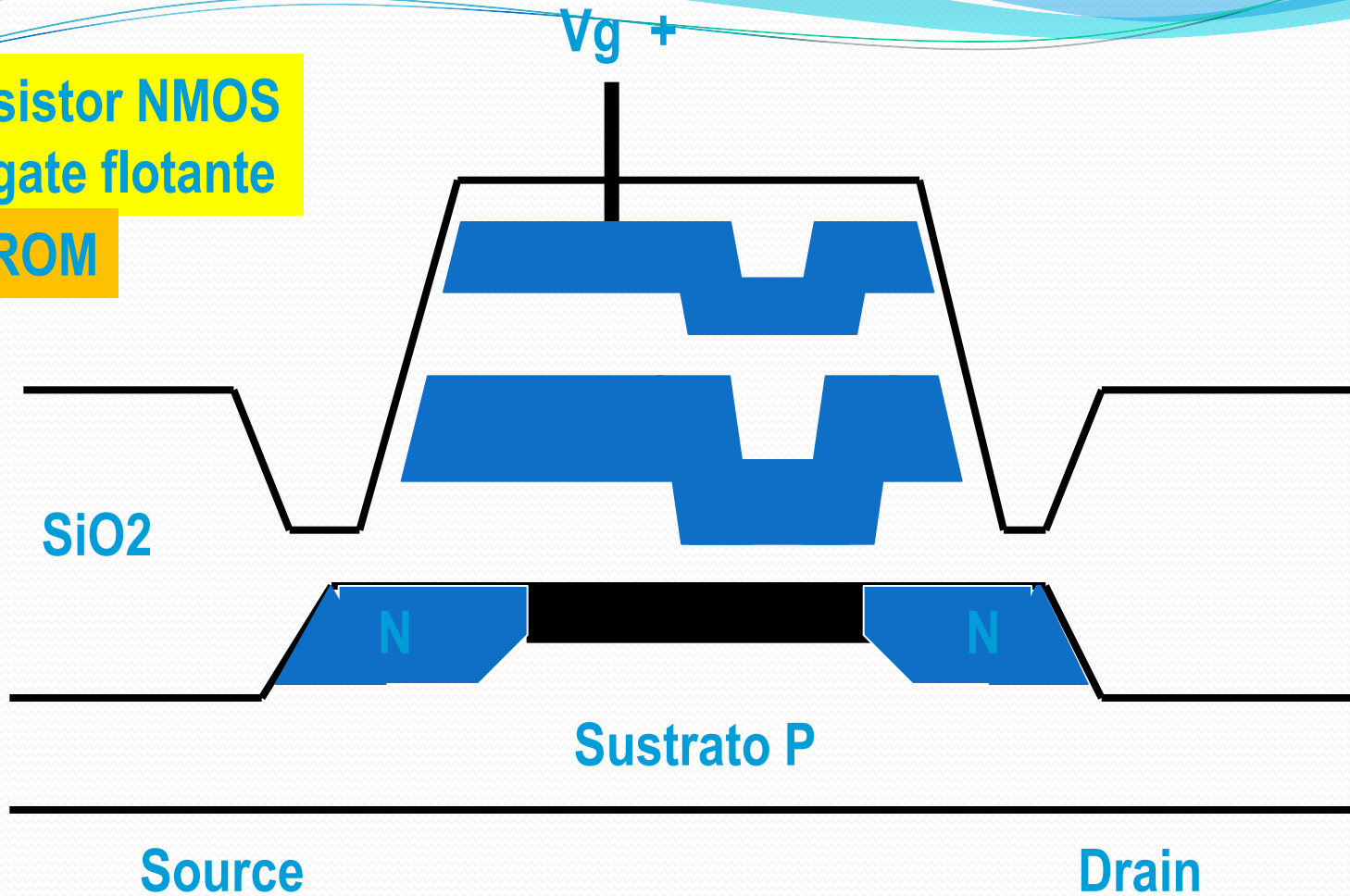
Sustrato P

Source

Drain

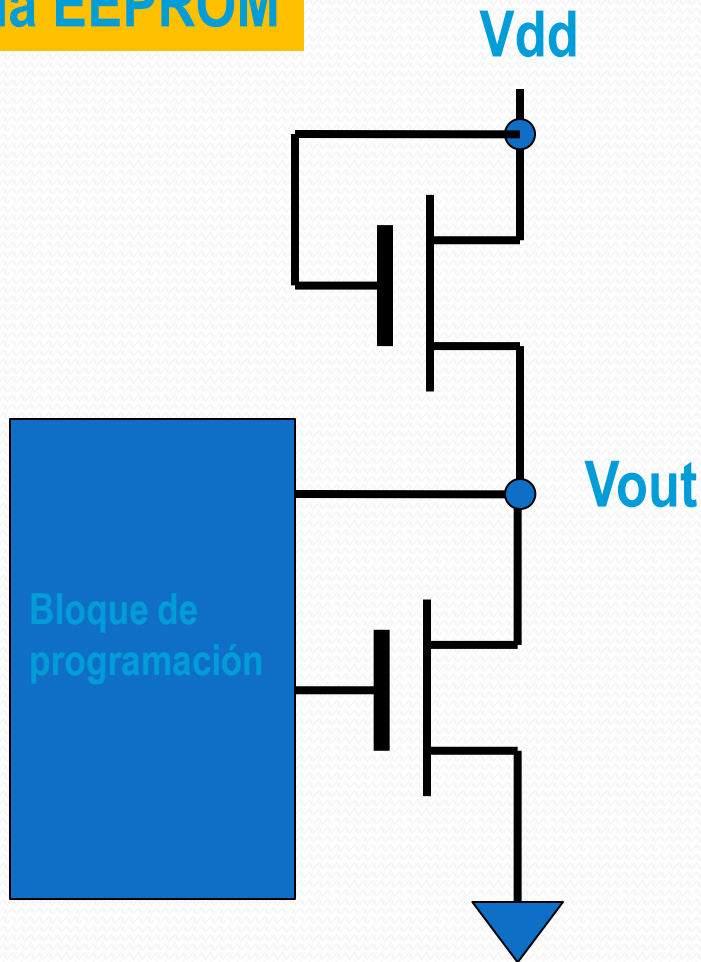
Al aplicar 12 V en Vg+ se programa al transistor, quedando cargas atrapadas en el gate con lo cual al alimentarlo, conducirá siempre. Para eliminar las cargas en el gate se debe usar luz UV.

Transistor NMOS
con gate flotante
EEPROM



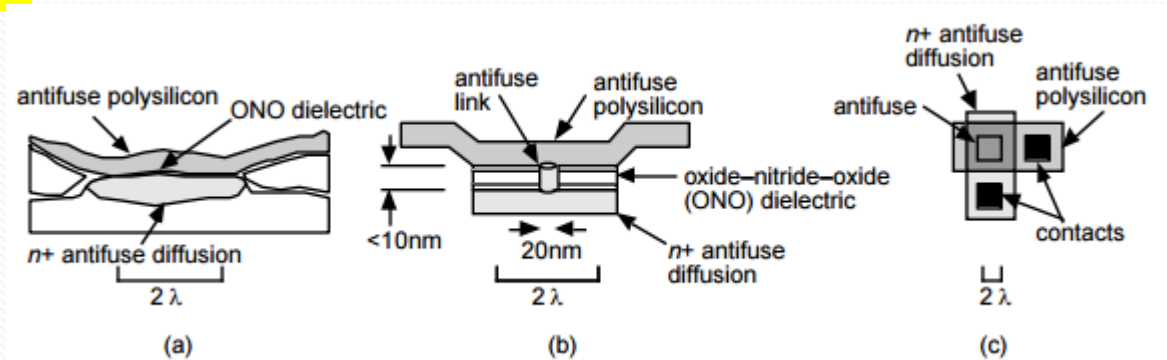
Similar al anterior pero con un diseño de gate que permite eliminar las cargas electricamente (borrado).

Celda EEPROM



Transistor NMOS programable.
Al inyectarle cargas al gate
quedará permanentemente en
conducción, es decir, la celda dará
 $V_{out} = "0"$.
Al borrarlo $V_{out} = "1"$ (tr. cortado).

Antifusible



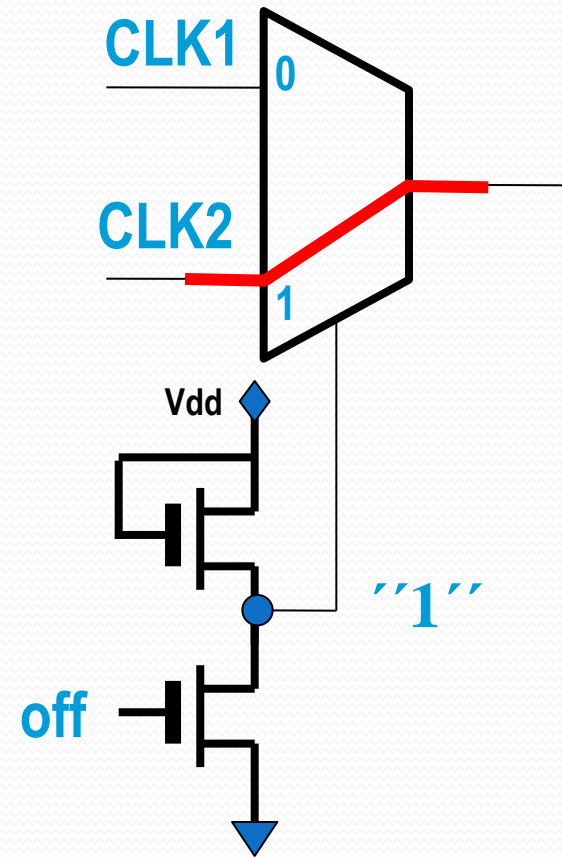
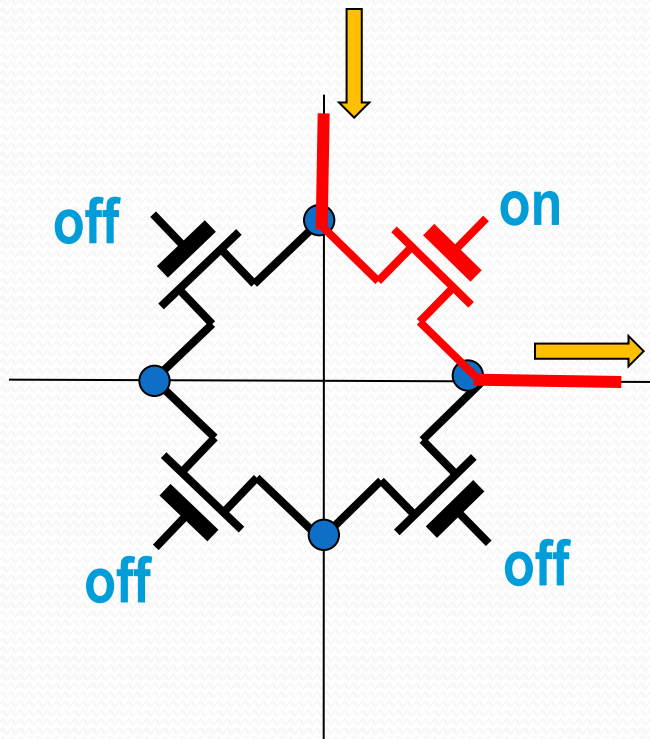
Vista realística del antifusible. Vista esquemática en profundidad. Vista esquemática superior.

En el inicio la unión es aislante. Si se requiere conducción en dicho punto, debe programarse con baja corriente (5mA). De este modo se deshace el aislante (antifuse) y así difunden portadores en el material, haciendo conductor a dicha unión.

Es una opción interesante en aplicaciones aeroespaciales, al tener mayor inmunidad a la radiación que una «llave» basada en un transistor como en las FPGA que utilizan memorias del tipo EEPROM ó SRAM.
Sin embargo, NO es reprogramable.

Configuración de dispositivos lógicos programables

Configuración de ruteo de señales



Bibliografía:

- ASIC .. the Course. Michael John Sebastian Smith. Addison Wesley Longman.
- FPGA for dummies. Andrew Moore. Altera Special Edition. 2014.
- Programmable Logic Design Quick Start Handbook. Karen Partnell. Xilinx. 2003.
- Websites:
 - www.altera.com.
 - www.xilinx.com.
 - www.microsemi.com (ex ACTEL).
 - www.quicklogic.com.
 - www.latticesemi.com.
 - www.atmel.com.
 - www.opencores.org.